

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-241938

(43)Date of publication of application : 29.10.1991

(51)Int.Cl.

H04L 12/00

H04M 3/00

H04M 3/22

(21)Application number : 02-037270

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.02.1990

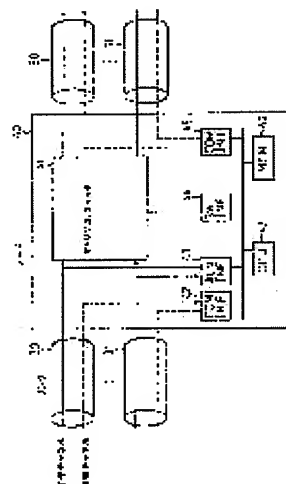
(72)Inventor : MIYAZAKI KEIJI  
NAKAJO TAKAFUMI  
KOMINE HIROAKI  
OGURA TAKAO  
SOEJIMA TETSUO

## (54) BYPASS PATH SETTING METHOD

### (57)Abstract:

**PURPOSE:** To quicken the bypass path decision and to improve a fault recovery rate by using a path minimizing a transmission delay time to be an optimum bypass path and assigning a capacity equal to a transmission capacity of an original path corresponding to the optimum bypass path to the optimum bypass path as a spare capacity in advance.

**CONSTITUTION:** A node 40 and links 30, 31, 50, 51 connecting respectively to other nodes is provided with a signal channel sending a main signal and a control channel for the communication of control information. Then a path whose transmission delay time is minimized is obtained as an optimum bypass path in advance at the setting of the capacity and the capacity equal to the transmission capacity of the original path corresponding to the optimum bypass path (object path taking the countermeasure with respect to the occurrence of a fault) is assigned in advance as a spare capacity. Thus, a fact of a substantially shortest bypass path not used as the bypass path due to deficiency of capacity and the selection of a remoter bypass path or disabled bypass path setting is less and the processing time for deciding the bypass path is shortened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平3-241938

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月29日

H 04 L 12/00  
H 04 M 3/00

D

7117-5K  
7830-5K

H 04 L 11/00

※

審査請求 未請求 請求項の数 3 (全5頁)

⑭ 発明の名称 迂回バス設定方法

⑯ 特 願 平2-37270

⑰ 出 願 平2(1990)2月20日

⑱ 発 明 者 宮 崎 啓 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 発 明 者 中 条 孝 文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 発 明 者 小 峰 浩 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑱ 発 明 者 小 倉 孝 夫 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 青 木 朗 外4名

最終頁に続く

## 明 細 書

## 1. 発明の名称

迂回バス設定方法

## 2. 特許請求の範囲

1. 複数のノード間を伝送路により接続してなるネットワークにおいて、各ノード、または、ノード間の伝送路において障害が発生した場合の、迂回バス設定方法において、

各ノード間において障害発生時の迂回経路として可能な迂回バスを求めるステップ(21)と、

前記可能な迂回バスの各々における伝送遅延時間を演算するステップ(22)と、

前記迂回バスのうち、伝送遅延時間最小となるものを最適迂回バスとして決定するステップ(23)と、

前記該最適迂回バスに対応する元のバスの伝送容量に等しい容量を、予め予備容量として前記最適迂回バスに割り付けるステップ(24)とを有することを特徴とする迂回バス設定方法。

2. 各ノード間についての前記最適迂回バスを

記憶しておき、

各ノード間における障害発生時には、前記記憶に基づいて、直ちに前記最適迂回バスに切り換える請求項1記載の方法。

3. 前記伝送遅延時間の演算においては、前記ネットワーク上にトレーニングメッセージを流し、各ノードにおいてメッセージ処理時間を記録して、各ノードにおけるメッセージ処理時間の平均値を求めることにより各ノードにおける遅延時間を求める請求項1または2に記載の方法。

## 3. 発明の詳細な説明

〔概要〕

ネットワークの障害箇所を迂回してバスを設定する迂回バス設定方法に関し、

障害発生時の迂回バス決定を迅速に行い得るようにし、且つ、障害復旧率を向上させることを目的とし、

複数のノード間を伝送路により接続してなるネットワークにおいて、各ノード、または、ノード間の伝送路において障害が発生した場合の、迂回

バス設定方法において、各ノード間において障害発生時の迂回経路として可能な迂回バスを求めるステップと、前記可能な迂回バスの各々における伝送遅延時間を演算するステップと、前記迂回バスのうち、伝送遅延時間最小となるものを最適迂回バスとして決定するステップと、前記該最適迂回バスに対応する元のバスの伝送容量に等しい容量を、予め予備容量として前記最適迂回バスに割り付けるステップとを有するように構成する。

#### 〔産業上の利用分野〕

本発明は、ネットワークの障害箇所を迂回してバスを設定する迂回バス設定方法に関する。

複数のノード間を伝送路により接続してなるネットワークにおいて、各ノード、または、ノード間の伝送路において障害が発生した場合に、迂回バスを設定して障害を復旧させる必要がある。

#### 〔従来の技術および発明が解決しようとする課題〕

従来、障害時に、ネットワークの障害箇所を迂

は、別の方法においては、対向するノード2に到達した迂回バス探索メッセージのうち、元のバス（ノード1→ノード2→ノード3→ノード4）に含まれないノードを経由した数（以下、ホップ数と称す）が最も小さい迂回バス探索メッセージが経由してきたバスが迂回バスとして決定される。

一般に、如何なる方法によるにせよ、障害時の迂回バスは、最短のものであることが望ましい。しかしながら、従来、ネットワークの容量設定時には、各ノード間のバスに障害が発生したときに、上記の従来の方法によって、どのような迂回バスが形成されるかということを考慮しておらず、したがって、この迂回バスに対応する予備容量も割付られてはいない。そのため、上記の手順によって本来最短の迂回バスであるはずのバスが、容量不足のために迂回バスとして使用できず、より遠回りの迂回バスに決定しなければならなかったり、あるいは、迂回バスが設定できなかったりするという問題があり、また、迂回バス決定の処理に時間が掛かるという問題があった。

回する迂回バスを設定する方法としては、例えば、以下に述べるようなものがある。

第3図は、複数のノード間をリンクしてなるネットワークの1例を示すものである。

第3図において、1・・・11はノードを示す。

第3図の構成において、ノード1とノード4との間のバスの、ノード2とノード3との間で障害が発生した場合、この障害を検出したノード3は、迂回バス探索メッセージを、接続する全てのノード（ここでは、ノード4、6、7、8）に対して送信する。以下、上記の迂回バス探索メッセージを受信した全てのノードは、上記の障害発生区間のノード3に対向するノード2に該迂回バス探索メッセージが到達するまで、受信した迂回バス探索メッセージに自らのノードのアドレスを付加して、該迂回バス探索メッセージを受信したノード以外の全てのノードに対して送信する動作を繰り返す。こうして、最も早く上記の対向するノード2に到達した迂回バス探索メッセージが経由してきたバスが迂回バスとして決定されるか、または

本発明は、上記の問題点に鑑み、なされたもので、障害発生時の迂回バス決定を迅速に行い得るようにし、且つ、障害復旧率を向上させることを目的とするものである。

#### 〔課題を解決するための手段〕

第1図は、本発明の迂回バスの設定方法の基本構成を示す図である。

第1図に示されるように、本発明は、複数のノード間を伝送路により接続してなるネットワークにおいて、各ノード、または、ノード間の伝送路において障害が発生した場合の、迂回バス設定方法を提供するものであって、

各ノード間において障害発生時の迂回経路として可能な迂回バスを求めるステップ21と、

前記可能な迂回バスの各々における伝送遅延時間を演算するステップ22と、

前記迂回バスのうち、伝送遅延時間最小となるものを最適迂回バスとして決定するステップ23と、

前記該最適迂回パスに対応する元のパスの伝送容量に等しい容量を、予め予備容量として前記最適迂回パスに割り付けるステップ24とを有してなるものである。

さらに、本発明の他の形態においては、各ノード間についての前記最適迂回パスを記憶しておき、

各ノード間における障害発生時には、前記記憶に基づいて、直ちに前記最適迂回パスに切り換えるように制御する。

#### (作用)

本発明によれば、伝送遅延時間最小となるものを最適迂回パスを、予め、容量設定時に求めておき、この最適迂回パスに対応する元のパス(今、障害の発生に対する対応を考慮している対象のパス)の伝送容量に等しい容量を予備容量として予め割り付けているので、本来最短の迂回パスであるはずのパスが、容量不足のために迂回パスとして使用できず、より遠回りの迂回パスに決定しなければならなかったり、あるいは、迂回パスが設

そして、47はCPUである。

ノード40と、それぞれ、他のノードとの間を接続するリンク30, 31, 50, 51は、それぞれ、主信号を伝送する信号チャンネルと、制御情報の通信を行うための制御チャンネルとを有している。

各ノード40は、マトリクススイッチ41、制御チャンネル通信インターフェイス42, 45、障害検出インターフェイス43、マトリクススイッチインターフェイス44、メモリ46、そして、CPU47を有し、CPU47の制御の下に動作し、該CPU47は、障害検出インターフェイス43を介して、各リンク30, 31, 50, 51、または、その上流のノードにおける障害を検出し、制御チャンネル通信インターフェイス42, 45を介して、他のノード、あるいは、ネットワーク全体の制御センタ(図示せず)との間で、制御情報のやりとりを行い、また、マトリクススイッチインターフェイス44を介してマトリクススイッチ41の切り換えの制御を行って、目的のパスを形

定できなかったりするということが発生する確率が低くなり、また、迂回パス決定の処理時間も大いに短縮される。

また、本発明の他の形態においては、各ノード間についての前記最適迂回パスを記憶しておき、

各ノード間における障害発生時には、前記記憶に基づいて、直ちに前記最適迂回パスに切り換えるように制御するので、迂回パス決定の処理、したがって、迂回パスへの切り換えの処理が、さらに高速化される。

#### (実施例)

第2図は、本発明の実施例におけるノードのハードウェアの概略構成図である。

第2図において、30, 31, 50, 51は、それぞれ、ノード間を接続するリンク、40はノード、41はマトリクススイッチ、42, 45は、それぞれ、制御チャンネル通信インターフェイス、43は障害検出インターフェイス、44はマトリクススイッチインターフェイス、46はメモリ、

成するようなリンク30, 31, 50, 51間を接続する。

前述の本発明による制御は、ネットワーク全体の制御を行うネットワーク制御センタにて、予め、各ノード間の通信容量設定時に行う。

伝送遅延時間最小(最短時間)となる迂回パスは、以下の式によって、各ノード間のパスに対して迂回パスとして使用可能な全てのパスについて伝送遅延時間を計算することにより求める。ここで、可能な迂回パスのホップ数に制限を設けて、所定の最大ホップ数以下の全てのパスを対象を限定することもできる。

$$T = H \cdot (M/T) + \sum_{i=1}^N D_{ci} + D_l \cdot \sum_{i=1}^N L_i$$

ここで、Hは、迂回パスのホップ数、Mはメッセージの長さ、Tはメッセージの伝送速度、 $D_{ci}$ は迂回パスのi番目のノードでのメッセージ処理時間、 $D_l$ は、リンク単位長さ当たりの伝送遅延、そして、 $L_i$ は、迂回パスのi番目のリンクの長

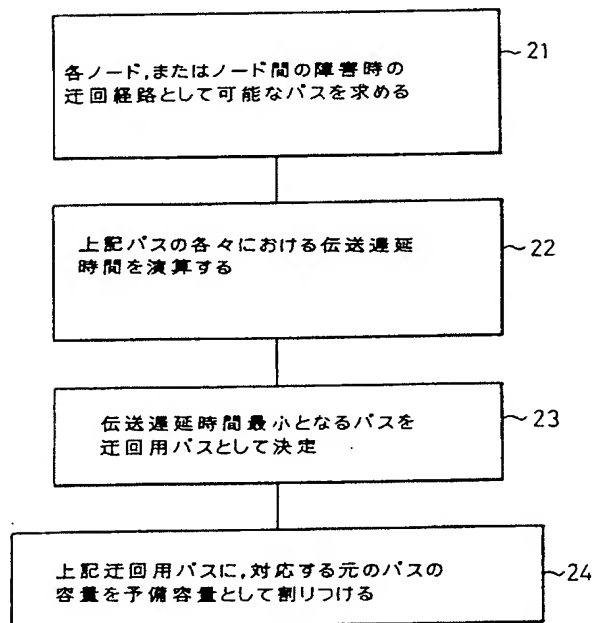
さである。

上記の各ノードにおけるメッセージ処理時間は、①過去の障害時におけるメッセージ処理時間に基づいて平均値として求める、②ネットワーク上にトレーニングメッセージを流し、各ノードにおいてメッセージ処理時間を記録して、各ノードにおけるメッセージ処理時間の平均値を求める、等が考えられる。

そして、さらに、上記のようにして求めた伝送遅延時間最小(最短時間)となる迂回パスの切り換え情報を各ノードのメモリに記憶しておいて、障害検出時に、この伝送遅延時間最小(最短時間)となる迂回パスに直ちに切り換えるように設定することもできる。

#### 〔発明の効果〕

本発明の迂回パス設定方法によれば、障害発生時の迂回パス決定を迅速に行い得るようにし、障害復旧率を向上させることができる。



本発明の基本構成図

第 1 図

#### 4. 図面の簡単な説明

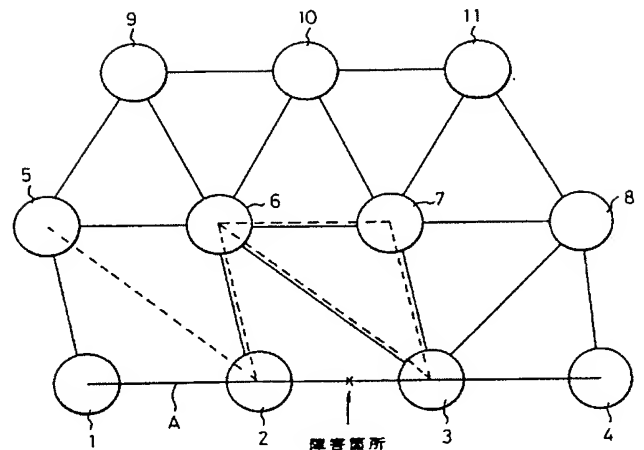
第 1 図は本発明の基本構成図、

第 2 図は本発明の実施例におけるノードのハードウェアの概略構成図、そして、

第 3 図は、ネットワークの 1 例を示す図である。

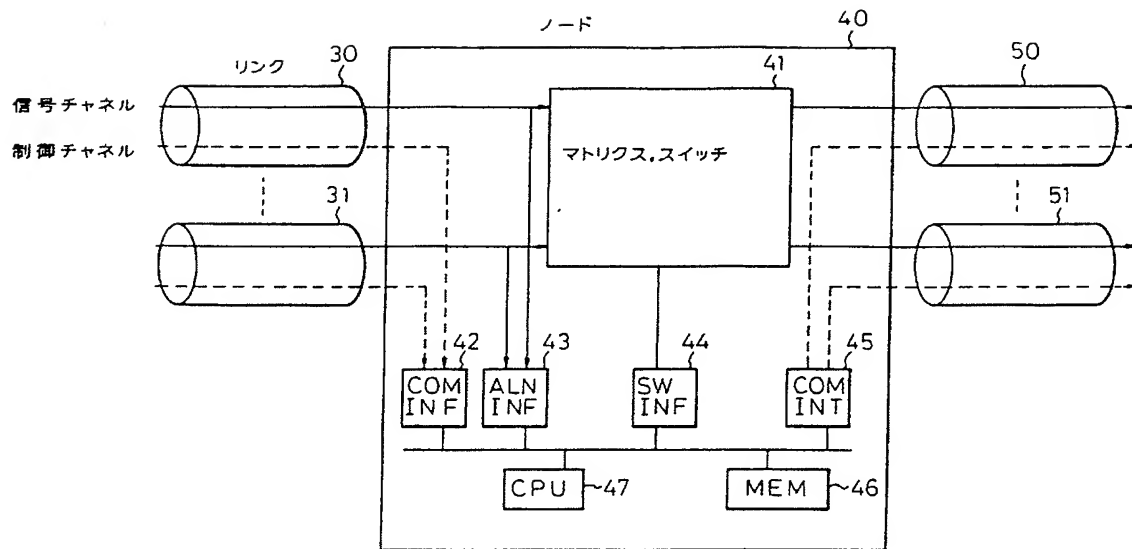
#### 〔符号の説明〕

3 0, 3 1, 5 0, 5 1……リンク、4 0……ノード、4 1……マトリクススイッチ、4 2, 4 5……制御チャンネル通信インターフェイス、4 3……障害検出インターフェイス、4 4 はマトリクススイッチインターフェイス、4 6……メモリ、4 7……CPU。



ネットワークの1例を示す図

第 3 図



ノードの構成例を示す図

## 第 2 図

ALM INF...障害検出インタフェース  
 COM INF...制御チャンネル通信インタフェース  
 SW INF...マトリクス・スイッチ・インタフェース  
 CPU...中央処理装置  
 MEM...記憶装置

第 1 頁の続き

⑤Int.Cl.<sup>5</sup>

H 04 M 3/22

識別記号

Z

庁内整理番号

7406-5K

⑦発 明 者 副 島 哲 男

神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
 内

**MENU**

**SEARCH**

**INDEX**

**JAPANESE**

1 / 1